

拒絶理由通知書



特許出願の番号	特願2001-028606
起案日	平成16年 9月 3日
特許庁審査官	國島 明弘 8932 4M00
特許出願人代理人	青山 葆 (外 1名) 様
適用条文	第29条第2項、第36条

<<<< 最 後 >>>>

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

◎請求項 1～3

・引用文献等 6、7～9

・備考

特に、引用文献6の図1(A)及び関連記載等、引用文献7の請求項1、7の欄、図1等、引用文献8の段落番号0022～0026の欄、図1等、請求項1、2の欄、図1等、それぞれ参照されたい。

引用文献6には、本願発明と同様に、3層で構成されている強誘電体薄膜が記載されている。

また、複数層から強誘電体薄膜において、最上層または最下層のいずれかの粒径について、他の層の粒径より小さくすることは、例えば、引用文献7～9に記載されているように本願出願前から良く知られている。なお、最上層及び最下層の両方とも中間の層より該粒径を小さくすることは、当業者にとっては必要に応じて適宜設定し得る設計事項であると認められる。

◎請求項 4～15

- ・引用文献等 6、7～9
- ・備考

特に、引用文献7の段落番号0034の欄等、参照されたい。引用文献7には、強誘電体薄膜の粒径を大きくするためには形成温度をより高くする必要がある旨記載されている。

なお、温度一定の前提条件下において、該粒径を大きくするために加熱処理を施す時間をより長くすることは、引用文献を挙げるまでもなく周知慣用手段であると認められる。

◎請求項 16, 17

- ・引用文献等 6、7～9、1
- ・備考

また、請求項15については、引用文献1の段落番号0019の欄等、さらに、請求項16については、引用文献1の段落番号0037の欄等、それぞれ参照されたい。

◎請求項 18

- ・引用文献等 6、7～9、1、2～3
- ・備考

特に、引用文献2の段落番号0018の欄等、引用文献3の請求項3の欄、段落番号0002の欄等、それぞれ参照されたい。

◎請求項 19

- ・引用文献等 6、7～9、1、2～3、4～5
- ・備考

特に、引用文献4の請求項2の欄、段落番号0011、0030～0031の欄等、引用文献5の段落番号0027、0035の欄等、それぞれ参照されたい。

◎請求項 20～22

- ・引用文献等 6、7～9、10、11
- ・備考

請求項20については、特に、引用文献10の段落番号0022～0023の欄等、請求項21については、特に、引用文献10の段落番号0022～0023の欄等、引用文献11の段落番号0016の欄等、請求項22については、特に、引用文献7の段落番号0008の欄等、引用文献8の段落番号0003の欄等、引用文献9の段落番号0024の欄等、引用文献10の段落番号0009の欄等、それぞれ参照されたい。

引用文献等一覧

- 6.特開平10-050960号公報
- 7.特開平08-340085号公報
- 8.特開平10-321809号公報 *Copy submitted w/ TDS filed June 29, 2004*
- 9.特開平09-036309号公報
- 1.特開2000-067648号公報
- 2.特開平08-325019号公報
- 3.特開2000-058770号公報 *Copies submitted w/ TDS filed July 14, 2004*
- 4.特開平09-25124号公報
- 5.特開平08-078636号公報
- 10.特開平06-140570号公報
- 11.特開平08-279599号公報

2. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

A. 請求項4において、強誘電体薄膜の最下層と最上層との間の層に対して加熱処理を第1設定時間施すことが記載されているものの、上記最下層と上記最上層に対する加熱処理時間が明確でないため、引用する請求項2に記載された半導体装置の製造方法としては適当でない。(例えば、上記最下層と上記最上層との間の層に対する加熱温度が高くても加熱処理時間が極端に短い場合、粒径自体も上記最下層と上記最上層との間の層の方が逆に小さくなる虞があると認められる。)

)

また、明確でない請求項4を引用する請求項5～9、12～14も同様に明確でない。

B. 請求項10において、強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第1温度の加熱処理を施すことが記載されているものの、上記最下層および上記最上層に対する加熱処理温度が明確でないため、引用する請求項2に記載された半導体装置の製造方法としては適当でない。(例えば、上記最下層と上記最上層との間の層に対する加熱処理時間が長くても加熱処理温度が極端に低い場合、粒径自体も上記最下層と上記最上層との間の層の方が逆に小さくなる虞があると認められる。)

また、明確でない請求項10を引用する請求項11、15も同様に明確でない。

。

よって、請求項 4 ～ 1 5 に係る発明は明確でない。

＜補正等の示唆＞

（１）明細書を補正した場合は、補正により記載を変更した個所に下線を引くこと（特許法施行規則様式第 1 3 備考 6）。

（２）補正で付加できる事項は、この出願の出願当初の明細書又は図面に記載した事項のほか、出願当初の明細書又は図面の記載から自明な事項に限られ、且つ特許請求の範囲の限定的減縮、不明瞭な記載の釈明又は誤記の訂正を目的とする補正に限られる。補正の際には、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書等の記載箇所を明確に示したうえで主張されたい。（意見書の記載は、無効審判における訂正請求書の記載形式を参考にされたい。）

最後の拒絶理由通知とする理由

１．すでに通知した拒絶の理由は解消したが、出願の単一性の要件が満たされないうえに特許要件等の審査をしなかった請求項について発見した拒絶理由のみを通知する拒絶理由通知である。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-050960

(43)Date of publication of application : 20.02.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242
C23C 28/00
G11C 11/22
H01L 27/04
H01L 21/822
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 08-215467

(22)Date of filing : 26.07.1996

(71)Applicant : TEXAS INSTR JAPAN LTD

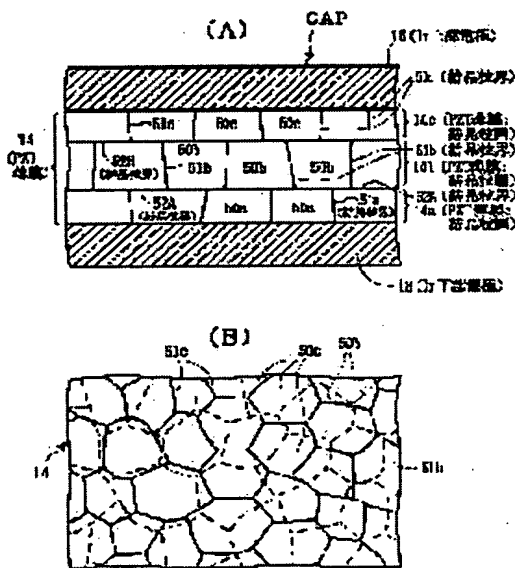
(72)Inventor : FUKUDA YUKIO
AOKI KATSUHIRO
NUMATA KEN
NISHIMURA AKITOSHI

(54) FERROELECTRIC CAPACITOR, FERROELECTRIC MEMORY AND PRODUCTION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ferroelectric capacitor, a ferroelectric memory and a production method thereof in which the operation can be stabilized by preventing fluctuation in the resistivity due to leak current or diffusion of oxygen and high reliability can be sustained while prolonging the service life by suppressing polarization fatigue of the ferroelectric capacitor due to repeated inversion.

SOLUTION: The capacitor comprises a lower Ir(irisidium) electrode 13, a PZT (zirconic acid titanac acid lead) thin film 14, an upper Ir electrode 15, and a ferroelectric film 14 formed by laminating crystal grain layers 14a, 14b, 14c, where crystal grains 50a, 50b, 50c are collected through grain boundaries 51a 51b, 51c, through grain boundaries 52A, 52B, 52C along the plane of the Ir electrode 13. An titanium oxide is deposited while satisfying the conditions for selecting an optimal electrode substance, e.g. Ir, controlling the nucleation of TiOx and the direction of crystal growth due to excessive Pb and the optimal annealing temperature for eliminating surface deposition entirely. Subsequently, a ferroelectric film material layer containing lead excessively is formed thereon and heat treatment is repeated at the deposition eliminating temperature thus laminating each crystal grain layer of PZT.



LEGAL STATUS

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50960

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			C 2 3 C 28/00	B
C 2 3 C 28/00			G 1 1 C 11/22	
G 1 1 C 11/22			H 0 1 L 27/10	4 5 1
H 0 1 L 27/04			27/04	C
審査請求 未請求 請求項の数11 F D (全 16 頁) 最終頁に続く				

(21) 出願番号 特願平8-215467

(22) 出願日 平成8年(1996) 7月26日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 福田 幸夫

茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内

(72) 発明者 青木 克裕

茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内

(74) 代理人 弁理士 佐々木 聖孝

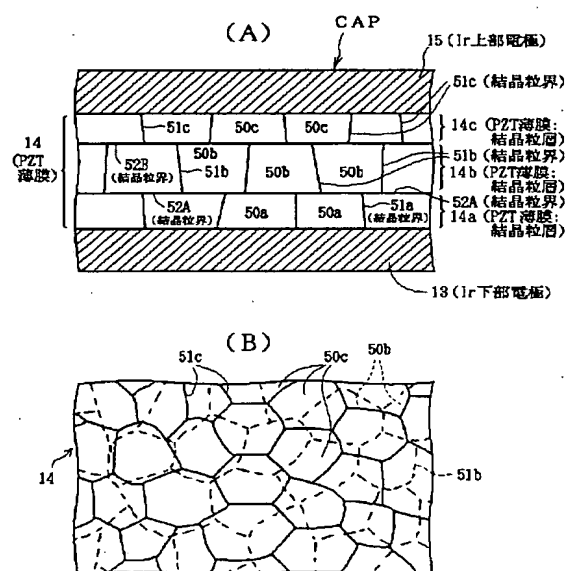
最終頁に続く

(54) 【発明の名称】 強誘電体キャパシタ及び強誘電体メモリ装置と、これらの製造方法

(57) 【要約】 (修正有)

【課題】 リーク電流や酸素の拡散に起因する抵抗率変化を生じず、安定動作が可能であり、強誘電体キャパシタが繰り返しの反転によっても分極疲労し難く、長寿命で高信頼性を保持できる強誘電体キャパシタ及び強誘電体メモリ装置と、これらの製造方法を提供する。

【解決手段】 I r 下部電極13とP Z T薄膜14とI r 上部電極15とを有し、結晶粒界51a、51b、51cを介して結晶粒50a、50b、50cが集合してなる結晶粒層14a、14b、14cがI r 電極13の面に沿う結晶粒界52A、52Bを介して積層されて、強誘電体膜14が形成されたキャパシタである。I r 等の最適な電極物質の選定、T i O_x核付け及び過剰P bによる結晶成長方向の制御、及び表面析出物が消失する最適アニール温度等の条件を全て満足し、チタン酸化物を堆積させた上に鉛を過剰に含む強誘電体膜材料層を形成し、析出物の消失温度で熱処理を繰り返してP Z Tの各結晶粒層を積層する。



本実施例によるP Z T薄膜キャパシタの構造

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 酸化され易い金属からなる第1の電極と、この第1の電極上の強誘電体膜と、この強誘電体膜上の第2の電極とを有し、結晶粒界を介して結晶粒が集合してなる結晶粒層の複数個が前記第1の電極の面に沿う結晶粒界を介して積層されることによって、前記強誘電体膜が形成されている強誘電体キャパシタ。

【請求項2】 複数の結晶粒層のそれぞれにおいて第1の電極側から第2の電極側に延びる結晶粒界が前記複数の結晶粒層間で異なる位置に存在し、前記複数の結晶粒層間の結晶粒界が前記第1の電極の面に沿って連続して存在している、請求項1に記載した強誘電体キャパシタ。

【請求項3】 第1の電極及び第2の電極が共にイリジウム等の酸化され易い金属からなり、強誘電体膜がジルコン酸チタン酸鉛からなる、請求項1又は2に記載した強誘電体キャパシタ。

【請求項4】 請求項1～3のいずれか1項に記載した強誘電体キャパシタをメモリセルに有する強誘電体メモリ装置。

【請求項5】 酸化され易い金属からなる第1の電極と、この第1の電極上の強誘電体膜と、この強誘電体膜上の第2の電極とを有し、結晶粒界を介して結晶粒が集合してなる結晶粒層の複数個が前記第1の電極の面に沿う結晶粒界を介して積層されることによって、前記強誘電体膜が形成されている強誘電体キャパシタを作製するに際し、

前記第1の電極を形成する第1工程と、

この第1の電極上に、前記強誘電体膜の構成元素のうちの少なくとも1種の元素の酸化物を堆積させる第2工程と、

この酸化物が堆積した前記第1の電極上に、前記強誘電体膜の特定構成元素を過剰に含有する強誘電体膜材料層を形成する第3工程と、

前記特定構成元素を主体とする表面析出物が実質的に消失する温度で加熱処理して、下層の前記結晶粒層を形成する第4工程と、

この下層の結晶粒層上に、前記強誘電体膜の構成元素のうちの少なくとも1種の元素の酸化物を堆積させる第5工程と、

この酸化物が堆積した前記下層の結晶粒層上に、前記強誘電体膜の特定構成元素を過剰に含有する強誘電体膜材料層を形成する第6工程と、

前記特定構成元素を主体とする表面析出物が実質的に消失する温度で加熱処理して、上層の前記結晶粒層を形成する第7工程とを有する、強誘電体キャパシタの製造方法。

【請求項6】 第5工程、第6工程及び第7工程に相当する各工程を必要数だけ更に付加する、請求項5に記載した製造方法。

【請求項7】 第1の電極及び第2の電極がそれぞれ酸化され易い金属からなり、強誘電体膜がジルコン酸チタン酸鉛からなる強誘電体キャパシタを製造するに際し、第2工程及び第5工程において、チタン酸化物をそれぞれ堆積させ、

第3工程及び第6工程において、鉛を過剰に含有するジルコン酸チタン酸鉛の非晶質層をそれぞれ形成し、

第4工程及び第7工程において、過剰な鉛を主体とする表面析出物が実質的に消失する温度で、ジルコン酸チタン酸鉛の結晶層を形成するためのアニールをそれぞれ行うか、又は／及び、前記結晶層のポストアニールをそれぞれ行う、請求項5又は6に記載した製造方法。

【請求項8】 ジルコン酸チタン酸鉛の非晶質層の鉛含有量をジルコニウムとチタンとの合計量に対して原子数比で(1.02～1.50)倍とし、アニール又はポストアニールを625℃以上で行う、請求項7に記載した製造方法。

【請求項9】 ソルーゲル法に基づいて、チタン酸化物を堆積させた下部電極上に、鉛を過剰に含有するジルコン酸チタン酸鉛の前駆体溶液を塗布し、この塗布された前駆体溶液を加熱処理してジルコン酸チタン酸鉛の非晶質層を形成し、更にこの非晶質層をアニールして結晶化する、請求項7又は8に記載した製造方法。

【請求項10】 酸化物を膜厚0.01～10nmで堆積させる、請求項5～9のいずれか1項に記載した製造方法。

【請求項11】 請求項5～10のいずれか1項に記載した製造方法によって、メモリセルに強誘電体キャパシタを作製する、強誘電体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体キャパシタ（特に、ジルコン酸チタン酸鉛（PZT）膜を有する強誘電体キャパシタ）及び強誘電体メモリ装置（特にPZT膜を有する強誘電体キャパシタを用いた不揮発性半導体メモリ）と、これらの製造方法に関するものである。

【0002】

【従来の技術】強誘電体物質であるPZTを誘電体膜として用いてキャパシタを形成することにより、その残留分極特性を用いた簡単な構造の不揮発性記憶素子、即ち、FRAMと称される不揮発性メモリである強誘電体RAM（Ferroelectric Random Access Memory）を作製することができる。

【0003】このようなFRAMは、既に一部実用化されており、そのPZTキャパシタは図22に示す如くに構成され、またその強誘電体メモリセルは図28に示す如くに構成されている。このメモリセルは、CUB（Cell under Bitline）タイプのものである。

【0004】図21に示す従来のPZTキャパシタCapにおいては、スタック型のセルキャパシタとして、一般には、下部電極43としてTi接着層43B上にPt層43A

を積層したP t / T i 構造が用いられており、その上にゾルーゲル法、スパッタリング法又はCVD (Chemical Vapor Deposition) 法によってP Z T 薄膜44が形成され、更に、上部電極45としてP t が用いられている。なお、下部電極43下にはT i N等のバリア層40が設けられ、絶縁層1 (1 Aと1 Bの積層体) のコンタクトホール19に被着されたポリシリコン層 (プラグ) 20を介してシリコン基板側に接続されている。

【0005】図22について、上記のP Z T キャパシタC a pを有するFRAMのメモリセルを説明すると、例えばP⁻型シリコン基板17の主面には、フィールド酸化膜7で区画された素子領域が形成され、ここに、MOSトランジスタからなるトランスファゲートTRとキャパシタC a pとからなるメモリセルM-c e lが設けられている。

【0006】トランスファゲートTRにおいては、例えばN⁺型ソース領域10とN⁺型ドレイン領域8が不純物拡散で夫々形成され、これら両領域間にはゲート酸化膜11を介してワードライン9 (WL) が設けられ、ドレイン領域8にはS i O₂等の絶縁層1のコンタクトホール18を介してビットライン16 (BL) が接続されている。

【0007】キャパシタC a pはスタック型と称されるものであって、ソース領域10に絶縁層1 Aのコンタクトホール19を介してポリシリコン層20が接続され、更にこの上に、上記したバリア層40及び下部電極43が積層され、この下部電極上にP Z T強誘電体膜44及び上部電極45が順次積層されている。

【0008】なお、キャパシタC a pを構成する強誘電体膜44は、原料溶液を用いてゾルーゲル法で形成したP Z T、即ちP b (Z r, T i) O₃、膜からなっている。また、下部電極43は、T i 層43 B上にP t 層43 Aを付着したものからなっており、強誘電体膜44と接する上部電極45はP t からなっている。

【0009】しかしながら、上記した従来のFRAMにおいて、キャパシタを構成する誘電体膜として用いるP Z T 薄膜は一般に多結晶からなっているため、現状のL S I (大規模集積回路装置) で用いている非晶質のS i O₂ (シリコン酸化物) やS i N (シリコン窒化物) に比べて、結晶粒間の結晶粒界 (グレインバウンダリ) を介してリーク電流や酸素空孔の拡散が生じ易く、これに起因して生じるとされる抵抗率の劣化又は抵抗の減少が問題となる。

【0010】また、上記した従来のFRAMにおいては、P Z T キャパシタC a pの動作時に反転 (即ち、データの書き込み及び読み出し動作のたびに行われる分極反転) を繰り返すことによって、分極特性が著しく低下する“分極疲労”と呼ばれる現象を生じ易い。これは、実デバイスを開発する上で問題となる現象であり、残留分極密度が10°程度度の反転によって劣化し、初期値の2分の1以下に減少してしまうことがある。このため

に、繰り返しの読み書きに関して信頼性の高いデバイスを開発することが困難であった。

【0011】

【発明が解決しようとする課題】本発明の目的は、リーク電流及び酸素の拡散に起因すると思われる抵抗率変化を生じず、安定した動作が可能であり、また、強誘電体キャパシタが繰り返しの反転によっても分極疲労を生じ難く、長寿命で高信頼性を保持することのできる強誘電体キャパシタ及び強誘電体メモリ装置と、これらの製造方法を提供することにある。

【0012】

【課題を解決するための手段】即ち、本発明は、酸化され易い金属からなる第1の電極 (例えばイリジウム電極：以下、同様) と、この第1の電極上の強誘電体膜 (特にP Z T 薄膜：以下、同様) と、この強誘電体膜上の第2の電極 (例えばイリジウム電極：以下、同様) とを有し、結晶粒界を介して結晶粒が集合してなる結晶粒層の複数個が前記第1の電極の面に沿う結晶粒界を介して積層されることによって、前記強誘電体膜が形成されている強誘電体キャパシタに係るものである。

【0013】本発明の強誘電体キャパシタによれば、上記の結晶粒層が結晶粒界を介した結晶粒の集合体であるにも拘らず、複数の結晶粒層間には結晶粒界が第1の電極の面に沿って (望ましくはほぼ平行に) 存在しているために、後者の結晶粒界がリーク電流の原因である伝導電子や抵抗率劣化の原因と考えられる酸素空孔の拡散に対して障壁となるため、下層の結晶粒層の結晶粒界からの伝導電子や酸素空孔が上層の結晶粒層の結晶粒界へ侵入することを効果的に抑制できることになる。従って、リーク電流や抵抗率変化を十二分に防止することができ、それらの特性が飛躍的に向上する。

【0014】本発明はまた、酸化され易いイリジウム等の金属からなる第1の電極と、この第1の電極上のP Z T 薄膜等の強誘電体膜と、この強誘電体膜上のイリジウム電極等の第2の電極とを有し、結晶粒界を介して結晶粒が集合してなる結晶粒層の複数個が前記第1の電極の面に沿う結晶粒界を介して積層されることによって、前記強誘電体膜が形成されている強誘電体キャパシタを作製するに際し、前記第1の電極を形成する第1工程と、この第1の電極上に、前記強誘電体膜の構成元素のうちの少なくとも1種の元素の酸化物 (特にチタン酸化物：以下、同様) を堆積させる第2工程と、この酸化物が堆積した前記第1の電極上に、前記強誘電体膜の特定構成元素 (特に鉛：以下、同様) を過剰に含有する強誘電体膜材料層を形成する第3工程と、前記特定構成元素を主体とする表面析出物 (特に後述する構造遷移層) が実質的に消失する温度で加熱処理して、下層の前記結晶粒層を形成する第4工程と、この下層の結晶粒層上に、前記強誘電体膜の構成元素のうちの少なくとも1種の元素の酸化物を堆積させる第5工程と、この酸化物が堆積した

前記下層の結晶粒層上に、前記強誘電体膜の特定構成元素を過剰に含有する強誘電体膜材料層を形成する第6工程と、前記特定構成元素を主体とする表面析出物が実質的に消失する温度で加熱処理して、上層の前記結晶粒層を形成する第7工程とを有する、強誘電体キャパシタの製造方法も提供するものである。

【0015】本発明者は、上記した分極疲労の問題を解決するために、特にPZTキャパシタの新規な製造方法について種々検討を加えた結果、ゾルーゲル法によってPZT薄膜を形成するに際し、(1)最適な電極物質の選定(上記の第1工程に対応)、(2)結晶成長方向(PZT結晶構造)の制御(上記の第2工程、第3工程、第5工程、第6工程に対応)、及び(3)最適なアニール温度(上記の第4工程、第7工程に対応)の3項目が重要であり、これらの条件を全て満足した場合にのみ、分極疲労しないPZTキャパシタの製造が可能になることを見出し、更に、それらの3項目の条件を満たした工程の組み合わせによって、独得の膜構造を有しかつリーク電流等を生じ難い本発明の強誘電体キャパシタを製造できることを見出し、本発明の強誘電体キャパシタの製造方法に到達したものである。

【0016】また、本発明は上記又は下記の強誘電体キャパシタとその製造方法によって、メモリセルに強誘電体キャパシタを作製する、強誘電体メモリ装置及びその製造方法も提供するものである。

【0017】

【発明の実施の形態】本発明の強誘電体キャパシタ及び強誘電体メモリ装置においては、具体的には、前記した複数の結晶粒層のそれぞれにおいて第1の電極側から第2の電極側に延びる結晶粒界が前記複数の結晶粒層間で異なる位置に存在し、前記複数の結晶粒層間の結晶粒界が前記第1の電極の面に沿って連続して存在していることが望ましい。

【0018】また、前記第1の電極及び前記第2の電極が共にイリジウム等の酸化され易い金属からなり、強誘電体膜がジルコン酸チタン酸鉛からなるのがよい。

【0019】本発明の強誘電体キャパシタ及び強誘電体メモリ装置の製造方法においては、前記した第5工程、第6工程及び第7工程に相当する各工程を必要数だけ更に付加する(若しくは繰り返す)こと、即ち、前記結晶粒層を2層以上(例えば3層)積層することができる。

【0020】また、具体的には、第1の電極及び第2の電極がそれぞれイリジウム等の酸化され易い金属からなり、強誘電体膜がジルコン酸チタン酸鉛からなる強誘電体キャパシタを製造するに際し、前記した第2工程及び第5工程において、チタン酸化物をそれぞれ堆積させ、前記した第3工程及び第6工程において、鉛を過剰に含有するジルコン酸チタン酸鉛の非晶質層をそれぞれ形成し、前記した第4工程及び第7工程において、過剰な鉛を主体とする表面析出物が実質的に消失する温度で、ジ

ルコン酸チタン酸鉛の結晶層を形成するためのアニールをそれぞれ行うか、又は/及び、前記結晶層のポストアニールをそれぞれ行い、この結晶層上に前記第2の電極を形成する。

【0021】この場合、ジルコン酸チタン酸鉛の非晶質層の鉛含有量をジルコニウムとチタンとの合計量に対して原子数比で(1.02~1.50)倍とし、アニール又はポストアニールを625℃以上で行うことが望ましい。

【0022】また、ゾルーゲル法に基づいて、前記チタン酸化物を堆積させた前記下部電極上に、鉛を過剰に含有するジルコン酸チタン酸鉛の前駆体溶液を塗布し、この塗布された前駆体溶液を加熱処理してジルコン酸チタン酸鉛の非晶質層を形成し、更にこの非晶質層をアニールして結晶化するのがよい。

【0023】上記の酸化物(特にチタン酸化物)は膜厚0.01~10nmで堆積させるのがよい。

【0024】

【実施例】以下、本発明を実施例について説明する。

【0025】まず、図13及び図14について、本発明に基づく方法によって作製されたPZT強誘電体キャパシタCAPと、これを組み込んだ半導体デバイス(例えば、不揮発性記憶素子であるFRAM)のCUBタイプのメモリセルを説明する。

【0026】本実施例のPZTキャパシタCAPは、スタック型のセルキャパシタとして、下部電極としてのイリジウム(Ir)層13と、その上にチタン酸化物の堆積層31A、31Bをそれぞれ介してゾルーゲル法、スパッタリング法又はCVD(Chemical Vapor Deposition)法によって形成された結晶粒子の集合体としてのPZT薄膜14a、14bの積層体からなるPZT薄膜14と、更にこの上に上部電極として設けられたイリジウム(Ir)層15とによって構成されている。なお、下部電極13下にはTiN、RuO₂等のバリア層30が設けられ、絶縁層1のコンタクトホール19に被着されたポリシリコン層(プラグ)20を介してシリコン基板側と接続されている。

【0027】従って、このキャパシタCAPは、上下の両電極ともにイリジウム金属を用いていることに、第1の特徴がある。これらの電極3及び5はそれぞれ、電子線加熱方式の真空蒸着法によって50~300nm(例えば100nm)の膜厚に形成されてよい。

【0028】また、PZT薄膜14a、14bは、TiO_x(酸化チタン)層31A、31Bを0.01~10nm(例えば3nm)の厚みでいわば核付けたイリジウム下部電極13及び下層PZT薄膜14a上にゾルーゲル法でそれぞれ厚さ150nm程度に(PZT薄膜14は全体として300nm厚)形成され、かつ、ゾル状態(又は非晶質)での組成がPb過剰であってPb含有量がZrとTiとの合計量に対して原子数比で(1.02~1.50)倍であることが、第2の特徴である。例えば、PZT薄膜14は、Pb:Zr:Ti=1.1:0.5:0.5の組成で300nmの膜厚に形成されて

よい。

【0029】そして、これらのPZT薄膜14a、14bは、その結晶化時のアニール又は／及び結晶化後のポストアニールの加熱温度を625℃以上（望ましくは650℃以上、750℃以下）として形成されることにより、表面に析出するPbを主体とする構造遷移層が消失していることが、第3の特徴である。

【0030】更に、これらのPZT薄膜は、図1に模式的に示すように（但し、この図では、各PZT薄膜は3層14a、14b、14cの積層体として示しているが、図14の2層の場合或いは3層以上の場合も同様である。）、柱状のPZT結晶粒50a、50b、50cが結晶粒界（グレインバウンダリ）51a、51b、51cを介して集合した多結晶からなっており、かつ、各PZT薄膜14a-14b間及び14b-14c間では上記の結晶粒界51a、51b、51cの位置が互いにずれており、また各PZT薄膜14a-14b間及び14b-14c間にはIr下部電極13とほぼ平行に連続した結晶粒界52A、52Bが存在していることが、第4の特徴である。

【0031】上記の各PZT薄膜における結晶粒のグレインサイズは20~100nmであり、また各膜厚は100~150nmとしてよい。なお、各界面での上記したTiO_x（酸化チタン）層はごく薄く、PZT結晶化時に消失し易いので、図1では図示していない。

【0032】こうしたPZTキャパシタCAPを有するFRAMのメモリセルにおいては、図14に示すように、例えばP⁻型シリコン基板17の一面には、フィールド酸化膜7で区画された素子領域が形成され、ここに、MOSTランジスタからなるトランスフェゲートTRとキャパシタCAPとからなるメモリセルM-CELが設けられている。

【0033】トランスフェゲートTRにおいては、例えばN⁺型ソース領域10とN⁺型ドレイン領域8が不純物拡散でそれぞれ形成され、これら両領域間にはゲート酸化膜11を介してワードライン9（WL）が設けられ、ソース領域10にはSiO₂等の絶縁層1のコンタクトホール18を介してビットライン16（BL）が接続されている。

【0034】次に、上記の強誘電体キャパシタCAPの基本的な作製方法を図2について説明する。

【0035】まず、工程1において、上記したバリア層上に、酸化性金属からなる酸化性下部電極、例えばIr（イリジウム）薄膜13（下部電極）をスパッタリング又は電子線加熱方式の蒸着法によって厚さ100nmに形成する。そしてこの下部電極13上に、TiO₂ターゲットを用いたRFスパッタリング法により膜厚3nm相当のTiO_x 31Aを堆積させる。このTiO_x 31AがPZT結晶の核として働く。

【0036】次いで、工程2において、膜厚150nmの非晶質状態のPZT薄膜32aをゾルゲル法により形成す

る。この非晶質薄膜の形成温度は480℃（10分間、空气中）であった。このゾルゲル法の原料（PZT前駆体）溶液は、Pb（CH₃COO）₂・3H₂O、Ti{（CH₃）₂CHO}、Zr{CH₃（CH₂）₂CH₂OH}、及びNH（CH₂CH₂OH）₂のCH₃OC₂H₅溶液であってよく、これを塗布、乾燥する。この原料溶液（又は非晶質薄膜）の組成は、Pb過剰であって原子数比でPb：Zr：Ti=1.1：0.5：0.5であってよい。

【0037】次いで、工程3において、工程2で形成した非晶質PZT薄膜32aを酸素雰囲気中又は大気中で625℃~750℃（特に650℃以上）で10分間、アニール（焼結）する。この焼結処理によってPZTは結晶化し、厚さ150nmのペロブスカイト構造のPZT強誘電体薄膜14aになる。この結晶化の際に、非晶質PZT32aとIr13との界面のTiO_x 31AがPZTの核密度を増加させ、緻密な構造の薄膜14aを形成させる。

【0038】そして、このPZT薄膜14aは、図5で後述するようにして、柱状の結晶粒50aが結晶粒界51aを介して集合した多結晶層として成長し（図1参照）、かつ、上記のアニール温度によってPZT薄膜14aの表面上に析出する構造遷移層（上記の過剰PbによるPbを主体とする析出物）は消失する。なお、この時点では、上記のTiO_x 31AはPZT薄膜14a中に含まれるため、以降の工程では図示しない。

【0039】次いで、工程4において、PZT薄膜14a上に、TiO₂ターゲットを用いたRFスパッタリング法により膜厚3nm相当のTiO_x 31Bを堆積させる。このTiO_x 31BもPZT結晶の核として働く。

【0040】次いで、工程5において、膜厚150nmの非晶質状態のPZT薄膜32bをゾルゲル法により形成する。この非晶質薄膜の形成温度は480℃（10分間、空气中）であった。このゾルゲル法の原料（PZT前駆体）溶液は、Pb（CH₃COO）₂・3H₂O、Ti{（CH₃）₂CHO}、Zr{CH₃（CH₂）₂CH₂OH}、及びNH（CH₂CH₂OH）₂のCH₃OC₂H₅溶液であってよく、これを塗布、乾燥する。この原料溶液（又は非晶質薄膜）の組成は、Pb過剰であって原子数比でPb：Zr：Ti=1.1：0.5：0.5であってよい。

【0041】次いで、工程6において、工程5で形成した非晶質PZT薄膜32bを酸素雰囲気中又は大気中で625℃~750℃（特に650℃以上）で10分間、アニール（焼結）する。この焼結処理によってPZTは結晶化し、厚さ150nmのペロブスカイト構造のPZT強誘電体薄膜14bになる。この結晶化の際に、非晶質PZT32bとPZT結晶14aとの界面のTiO_x 31BがPZTの核密度を増加させ、緻密な構造の薄膜14bを形成させる。

【0042】そして、このPZT薄膜14bは、上記のPZT薄膜14aと同様に、柱状の結晶粒50bが結晶粒界51

bを介して集合した多結晶層として成長し、かつ、上記のアニール温度によってPZT薄膜14bの表面上に析出する構造遷移層(上記の過剰PbによるPbを主体とする析出物)は消失する。なお、この時点では、上記のTiO_x層31BはPZT薄膜14b中に包含されるため、以降の工程では図示しない。

【0043】次いで、工程7において、工程6で形成したペロブスカイト結晶のPZT薄膜14b上に、酸性金属からなる酸性上部電極例えばIr(イリジウム)上部電極15をスパッタリング又は電子線加熱方式の蒸着法により厚さ100nmに形成する。これにより、PZTキャパシタCAPを作製する。

【0044】上記のようにしてPZTキャパシタCAPを作製する際に、主として上述した4つの特徴点を有することがキャパシタ性能(特に分極疲労の防止及び抵抗率の安定化)にとって極めて重要である。

【0045】(1)、まず、電極物質について述べる。一般に、PZTキャパシタの電極にはPt(但し、上部電極のみにAuが使用される場合もある。)などの酸化されない物質が用いられる。これに対して、本発明者は、酸化され易い金属、例えば金属Irを下部と上部の両方の電極13、15に用いることによって分極疲労を緩和することに成功したのである。

【0046】図3には、下部電極がIrからなるAu/PZT/Ir、Pt/PZT/Ir及びIr/PZT/Ir構造の各PZTキャパシタの分極疲労特性の比較を示す。なお、図4には、PZT薄膜についての残留分極密度のヒステリシス曲線を示す。

【0047】図3から、上部電極にAuを用いたキャパシタにおいては、10⁶回以上の反転によって残留分極密度がほとんどゼロまで減少しており、また、上部電極にPtを用いたキャパシタにおいては疲労特性が僅かに向上しているが、2×10⁶回以上の反転において急激な分極特性の低下が観測される。しかし、上部電極にIrを用いた場合、2×10⁶回まで分極特性の減少が見られない。

【0048】このように、分極疲労特性は電極物質にも強く依存し、上下の両電極13、15をIrとした本実施例のキャパシタは、他のものに比べて分極反転時の残留分極密度(P_r)が安定し、非常に優れていることが明らかである。これは、Ir金属の耐酸化性等に寄因するものと思われる。

【0049】(2)、次に、PZTの結晶化方向の制御について述べる。上記したようにチタン酸化物31A、31Bを堆積させた(Ti-seeding)Ir下部電極13、PZT層14a上に非晶質PZT 32a、32bを堆積させて、結晶化温度以上に加熱すると、両層32a-13、32b-14aの界面のチタン酸化物31A、31Bの近傍でPZT結晶化の核形成が起き、厚み方向に結晶化が進行する。この結晶化過程によって図5(C)のように柱状の粒子構造50

a、50bが形成され、過剰な鉛などが表面に押し出され、例えばPZT層14aについて示すと(PZT層14bも同様)、その表面にPbを主体とする構造遷移層33を形成する。

【0050】しかし、このような不均一核生成による結晶化が起きるのは、過剰な鉛を含むPZT前駆体溶液を用いた場合のみである。ここで用いた溶液組成は原子数比でPb:Zr:Ti=1.0:0.5:0.5、1.1:0.5:0.5及び1.2:0.5:0.5の3種類である。TiO_x核付け層を設け、Ti-seedingしたIr下部電極13上に形成したPZT薄膜の微細構造を透過型電子顕微鏡TEMのスケッチとして図5に示す(但し、TiO_x核付け層は簡略化のために図示省略した。)が、上記組成に対応してそれぞれ塊状、柱状、柱状の粒子構造が得られる。

【0051】即ち、前駆体溶液(又は非晶質PZT)のPb濃度が低い場合(Pb=1.0)は、図5(A)のように塊状の粒子14Bの集合体でしかPZT薄膜14a'が形成されないが、同じ焼結温度(650°C)で同Pb濃度が過剰であると(Pb>1.0、特にPb≥1.02を満たすPb=1.1又はPb=1.2)、柱状の粒子構造50aが得られる。

【0052】好適なPZT前駆体溶液の組成は、Pb=1.02~1.50(Zr+Ti=1.0に対して)とする(但し、Ti/Zr比は任意の割合とする)。Pb濃度が低すぎると、上述した柱状構造(PZT結晶化方向の制御)が実現し難く、逆にPb濃度が高すぎると、上述した構造遷移層の表面析出量が多くなり、消失し難くなる。

【0053】また、低い焼結温度(600°C)では図5(C)のように構造遷移層33が生じ易いのに対し、焼結温度を制御して625°C以上、例えば650°Cにすることによって構造遷移層33が消失する。但し、あまり焼結温度が高いと、PZT結晶が生成し難いので、750°C以下とするのがよい。

【0054】なお、図6には、酸化チタンを核付けしたIr下部電極上に形成したPZT薄膜14a(14bも同様)の表面のSEM(走査型電子顕微鏡)像を示すが、PZTは粒径100nm以下の微細な粒子であって緻密であることが分かる。

【0055】図7には、上記した各Pb濃度の原料から得られたPZT薄膜上に、Ir上部電極を蒸着して作製した各PZTキャパシタの分極疲労特性の組成依存性を示す。

【0056】これによれば、Pb=1.0のPZTキャパシタの残留分極密度は、10⁶回の反転によって、ほとんどゼロまで減少している。これに対して、Pb=1.1、1.2のPZTキャパシタにおいては、10⁶回の反転においても残留分極密度の減少が見られない。

【0057】このように、Ti-seedingと過剰Pbを

含む前駆体溶液を用いて一方向に結晶成長させることによっても、疲労特性が大幅に向上する。

【0058】次に、上記のように、 TiO_x を核付けしたIr下部電極上に形成したPZT薄膜と、 TiO_x を核付けしないPt/TiN電極上に形成したPZT薄膜とについて、電気特性を比較する。

【0059】図8にI-V特性を示すが、このデータによれば、Pt/TiN下部電極上に形成したPZT薄膜の漏れ電流値は印加電圧の増加に伴って著しい増加を示すが、 TiO_x を核付けしたIr下部電極を使用した場合、漏れ電流値が約 $1 \times 10^{-7} A/cm^2$ であり、優れたI-V特性を示すことが分かる。

【0060】(3)．次に、PZTの焼結(アニール)温度について述べる。PZTのアニール温度と分極疲労特性との関係を図9に示す。

【0061】これによれば、600°Cで形成したPZTは、 10^6 回の分極反転で残留分極密度がほとんどゼロまで減少する。しかし、625°Cで形成したキャパシタの分極特性は、著しく向上し、また、625°Cから700°Cで形成した試料においては、 10^6 回の反転においても残留分極密度の減少が殆ど見られない。この理由は、625°C以上で表面に形成された過剰Pbの構造遷移層33が消失するために、疲労特性が向上したものと考えられる。

【0062】(4)．更に、PZT結晶粒層の積層について述べる。上記したことから明らかなように、(1)電極物質にIrを用いる、(2)Ti-seeding法と過剰Pbの溶液を用いる、(3)表面の構造遷移層が消失する温度以上でPZTの結晶化を行うことによって、分極疲労しないPZTキャパシタの形成が可能である。

【0063】図12には、上記の(1)～(3)に基づいてPZT結晶粒層を単一層として形成したPZTキャパシタCAP'の断面構造を模式的に示すものである。このキャパシタCAP'では、上記した理由から、柱状のPZT結晶粒50'が結晶粒界51'を介して集合した厚さ300nmのPZT薄膜14'が上下のIr電極13-15間に形成される。

【0064】従って、分極疲労は示さないが、結晶粒界51'が薄膜14'の厚み方向に貫通して存在し、柱状構造の結晶粒層には電極13に平行な結晶粒界が存在しないために、厚み方向に延びる結晶粒界51'に沿って電流が流れ易く、リーク電流が増えると共に、結晶粒界51'に沿う酸素空孔の拡散に起因して発生するものと思われる抵抗率劣化が生じ易い。例えば、 $10^{-4} \mu A/cm^2$ 以上のリーク電流が確認されている。

【0065】これに対し、本発明に基づくPZTキャパシタCAPは、図1に示した如く、PZT薄膜14が上記した(1)～(3)に基づいて形成された各膜厚が100nm程度の複数のPZT結晶粒層14a、14b、14cの積層体によって構成され、各結晶粒層では、グレインサイズが20～100nmの柱状のPZT結晶粒50a、50b、50cが

結晶粒界(グレインバウンダリ)51a、51b、51cを介して集合し、各PZT薄膜14a-14b間及び14b-14c間では上記の結晶粒界51a、51b、51cの位置が互いにずれており、また各PZT薄膜14a-14b間及び14b-14c間にはIr下部電極13とほぼ平行に連続した結晶粒界52A、52Bが存在している。

【0066】従って、このキャパシタCAPは、各PZT薄膜14a、14b、14cのPZTの結晶粒50a、50b、50cが柱状構造であって厚み方向に結晶粒界51a、51b、51cが存在していながら、電極13に平行な任意の場所に人為的に結晶粒界52A、52Bが導入されているので、これらの結晶粒界52A、52Bはリーク電流の原因である伝導電子や抵抗率劣化の原因である酸素空孔の拡散に対して障壁となる。即ち、各PZT薄膜の厚み方向において結晶粒界51a等に沿って移動若しくは拡散してくる電子や酸素空孔は、電極13に平行な結晶粒界52A、52Bによって遮断されるので、もはやその移動や拡散は進行することはない。

【0067】こうして、キャパシタCAPにおいては、分極疲労のみならず、リーク電流及び抵抗率劣化が生じなくなる(或いは著しく少なくなる)。

【0068】図10には、本発明に基づくPZTキャパシタ(但し、PZT結晶粒層の積層数は2とした:2ステップ法)のPZT薄膜のXRD(X線回折スペクトル)を示す。これによれば、ペロブスカイト結晶に固有の(101)等の回折ピークが見られ、ペロブスカイト構造の結晶からなるPZT薄膜が形成されていることが分かる。これは、PZT結晶粒層を3層とした図1のPZT薄膜でも同様である。

【0069】また、図11には、同じく2ステップ法で形成したPZT薄膜のリーク電流特性(A)と電流-電圧特性(B)の測定結果を示す。これによれば、本発明に基づいて形成されたPZT薄膜は、リーク電流が $10^{-8} A/cm^2$ 以下であって著しく減少し、またI-V特性もリーク電流が非常に少なく、安定していることが分かる。

【0070】次に、本実施例によるPZTキャパシタを組み込んだ半導体デバイス、例えば不揮発性メモリであるFRAMのメモリセル(例えばスタック型のもの)の製造方法を図15～図20について説明する。

【0071】まず、図15のように、P⁺型シリコン基板(ウエハ)1上に選択酸化法によりフィールド酸化膜7を形成し、熱酸化法によるゲート酸化膜11及び化学的気相成長法によるポリシリコンワードライン9(WL)をそれぞれ形成し、更にAs等のN型不純物の熱拡散でN⁺型ソース領域10及びドレイン領域8をそれぞれ形成する。

【0072】そして、全面に化学的気相成長法で堆積させたSiO₂絶縁層1Aに対し、ソース領域10上にフォトリソグラフィでコンタクトホール19を形成する。

【0073】次いで、図16のように、コンタクトホール

19においてソース領域10に接触するようにポリシリコン層20を被着し、この上にTiNバリア層30、Ir下部電極13を形成し、更にTiO_x層31Aをスパッタで形成する。これは、全面に被着したポリSi層、TiN層、Ir層及びTiO_x層をフォトリソグラフィでパターンニングすることにより形成可能である。

【0074】次いで、図17のように、下部電極13及びTiO_x層31を含め全面にスピンコート法又はディップコート法によって、上述したPb過剰のゾルーゲル原料溶液32a'を塗布する。

【0075】次いで、原料溶液32a'を塗布したウェハを所定の温度(100~300℃、例えば170℃)で例えば3分間加熱し、塗布した溶液の乾燥を行い、乾燥ゲル膜を形成する。

【0076】次いで、乾燥を完了したウェハを480℃で処理して、図18のように非晶質化32aした。そして、大気中でペロブスカイト結晶の上述した柱状構造を生成し、かつ表面の構造遷移層33が消失する温度(625℃以上、例えば650℃)で例えば10分間焼結(酸化焼結)し、図19のように、強誘電体膜14aを全面に形成する。

【0077】次いで、図16~図19の工程を繰り返して、強誘電体膜14a上に、上記と同様のTiO_x層31B、Pb過剰のゾルーゲル原料溶液から形成されたペロブスカイト結晶で柱状構造の強誘電体膜14bを形成し、これらの強誘電体薄膜14の不要な部分をドライエッチング法などによって除去し、図20のように、下部電極13上にPZT強誘電体膜14を所定パターンに形成する。

【0078】次いで、スパッタリングによってイリジウムを被着し、フォトリソグラフィによって、強誘電体薄膜14との接合部にイリジウムからなる上部電極15を所定パターンに形成する。

【0079】更に、公知の方法で図14に示した層間絶縁膜1B、コンタクトホール18、ビットライン16(BL)をそれぞれ形成し、図14に示した如きメモリセルM-C ELを作製する。

【0080】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。

【0081】例えば、電極材料としては、下部電極及び上部電極はIr以外にも、Pd、Ru、W、Ti、Cr、Niの如き材料が代替可能である。これらはいずれも、酸化され易い(酸化物となり易い)ものである。これらの金属は、単独又は複数種使用してよいし、或いは他の金属と混合してもよい。

【0082】また、下部電極又はPZT結晶粒層の表面に堆積させる核付け物質としては、TiO₂等のTiO_xを用いたが、常温下で酸化物となり易い金属であれば、Tiをはじめ、Ti以外のZr、Pb、La、Zn、Nb、Feの元素のうちの1種又は1種以上の酸化物を電極上に堆積させることができる。

【0083】ここで使用可能な上記金属のうち、La、Zn、Nb及びFeは強誘電体膜に添加可能な元素である。Ti、Zr及びPbはPZTの主成分である。

【0084】上記金属の酸化物を形成するには、スパッタ法だけでなく、高真空中での電子線加熱方式の蒸着法などにより、Ti、Zr、Pb、Sr、Ba、La、Zn、Nb、Feを堆積させた後、含酸素環境(例えば、大気中)で自然酸化させる方法も可能である。

【0085】この場合、中でもTiは極めて活性な物質であるため、電子線加熱方式の蒸着法で形成される堆積物は蒸着室中の残留酸素により酸化されるので、強い酸化処理を行う必要がない。TiO_xの膜厚は0.01nmから10nm、特に1nmから5nmが好ましい。酸化物の堆積方法はスパッタ法、CVD法、蒸着法が挙げられる。

【0086】非晶質PZTの形成方法として、上述の実施例においてはゾルーゲル法を用いている。しかし、スパッタリング法やCVD法においても、基板温度を500℃以下に設定することによって、やはり非晶質PZTの形成が可能である。従って、これらの手法によってPb過剰な非晶質PZT薄膜を形成し、上述した工程を実施すれば、上述したと同様の効果が得られる。

【0087】また、上述した表面の構造遷移層を消失させるには、PZTの結晶化温度を625℃以上とするのがよいが、このような温度条件は、PZT結晶化後のポストアニール時に採用してもよい。即ち、ポストアニール温度を625℃以上としても、上述の構造遷移層を消失させることができる。

【0088】使用可能な強誘電体膜の材質は、上記のPZT以外にも、PZTにNb、Zr、Fe等を添加したPZT、PLT((Pb, La)_x(Ti, Zr)_{1-x}O₃)等であってよい。

【0089】また、上述した核付け、非晶質PZTの形成、PZT結晶化及びこれらの繰り返しの工程はスパッタ装置やCVD装置を用いて一括して連続処理することも可能である。PZT結晶粒層の積層数は成膜性及び生産性を損なわない範囲で変化させてよく、2層、3層、それ以上が可能である。

【0090】本発明に基づく強誘電体膜は、例えば図1に示したIr/PZT/Ir/バリア層/ポリ-Si構造のキャパシタ(スタック型キャパシタ)を有するデバイスに適用可能であるが、これに限らず、SiO₂膜上に上述のスタック型キャパシタを設けてこのキャパシタの下部電極を延設してトランスファゲートのソース領域と接続する構造としてよいし、或いはスタック型ではなく、いわゆるトレンチ(溝)内にキャパシタを組み込んだ構造のキャパシタにも適用可能である。また、FRAM以外の用途にも適用できる。また、COB(Cell over Bitline)タイプのメモリセルにも適用可能である。

【0091】
【発明の作用効果】本発明の強誘電体キャパシタによれ

ば、上述した如く、イリジウム等の酸化され易い金属からなる第1の電極と、この第1の電極上のPZT薄膜等の強誘電体膜と、この強誘電体膜上のイリジウム電極等の第2の電極とを有し、結晶粒界を介して結晶粒が集合してなる結晶粒層の複数個が前記第1の電極の面に沿う結晶粒界を介して積層されることによって、前記強誘電体膜が形成されているので、前記結晶粒層が結晶粒界を介した結晶粒の集合体であるにも拘らず、複数の結晶粒層間に結晶粒界が第1の電極の面に沿って（望ましくはほぼ平行に）存在する結晶粒界がリーク電流の原因である伝導電子や抵抗率劣化の原因と考えられる酸素空孔の拡散に対して障壁となるため、下層の結晶粒層の結晶粒界からの伝導電子や酸素空孔が上層の結晶粒層の結晶粒界へ侵入することを効果的に抑制できることになる。従って、リーク電流や抵抗率変化を十二分に防止することができ、それらの特性が飛躍的に向上する。

【0092】本発明はまた、本発明の強誘電体キャパシタを製造するに際し、前記第1の電極を形成する第1工程と、この第1の電極上に、前記強誘電体膜の構成元素のうちの少なくとも1種の元素の酸化物（特にチタン酸化物）を堆積させる第2工程と、この酸化物が堆積した前記第1の電極上に、前記強誘電体膜の特定構成元素（特に鉛）を過剰に含有する強誘電体膜材料層を形成する第3工程と、前記特定構成元素を主体とする表面析出物が実質的に消失する温度で加熱処理して、下層の前記結晶粒層を形成する第4工程と、この下層の結晶粒層上に、前記強誘電体膜の構成元素のうちの少なくとも1種の元素の酸化物を堆積させる第5工程と、この酸化物が堆積した前記下層の結晶粒層上に、前記強誘電体膜の特定構成元素を過剰に含有する強誘電体膜材料層を形成する第6工程と、前記特定構成元素を主体とする表面析出物が実質的に消失する温度で加熱処理して、上層の前記結晶粒層を形成する第7工程とを実施しているの、

（1）最適な電極物質の選定、（2）結晶成長方向の制御、及び（3）最適なアニール温度の条件を全て満足することによって、分極疲労せず、独得の膜構造を有し、かつリーク電流等を生じ難い強誘電体キャパシタを製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるPZTキャパシタを模式的に示す概略断面図（A）及びその平面図（B）（但し、上部電極は省略）である。

【図2】同PZTキャパシタの作製フローを示す概略断面図である。

【図3】電極材質によるPZTキャパシタの残留分極密度と分極反転回数との関係（バイポーラパルス電圧±5V）を比較して示すグラフである。

【図4】同PZT薄膜の分極値のヒステリシス曲線図である。

【図5】同PZTキャパシタのPb濃度とアニール温度

による構造を比較して示す概略断面図である。

【図6】TiO_xを核付けしたIr電極上に形成したPZT薄膜のSEM像のスケッチ図である。

【図7】同PZTキャパシタのPb濃度による残留分極密度と分極反転回数との関係を示すグラフである。

【図8】各種電極上に形成したPZT薄膜のI-V特性図である。

【図9】同PZTキャパシタのアニール温度による残留分極密度と分極反転回数との関係を比較して示すグラフである。

【図10】同PZTキャパシタのPZT薄膜のX線回折スペクトル図である。

【図11】同PZTキャパシタの電流-時間特性図（A）及び電流-電圧特性図（B）である。

【図12】比較のPZTキャパシタを模式的に示す概略断面図である。

【図13】同PZTキャパシタを組み込んだ半導体デバイス（FRAM）の概略断面図である。

【図14】同PZTキャパシタを組み込んだダイナミックRAMのメモリセルを示す概略断面図である。

【図15】同メモリセルの製造方法の一工程段階を示す拡大断面図である。

【図16】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図17】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図18】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図19】同メモリセルの製造方法の他の一工程段階を示す拡大断面図である。

【図20】同メモリセルの製造方法の更に他の一工程段階を示す拡大断面図である。

【図21】従来例によるPZTキャパシタの概略断面図である。

【図22】従来例によるPZTキャパシタを組み込んだ半導体デバイス（FRAM）の概略断面図である。

【符号の説明】

8・・・N⁺型ドレイン領域

9（WL）・・・ワードライン

10・・・N⁺型ソース領域

13・・・Ir下部電極

14・・・強誘電体膜（PZT薄膜）

14a、14b、14c・・・PZT薄膜（結晶粒層）

15・・・Ir上部電極

16（BL）・・・ビットライン

17・・・シリコン基板

20・・・ポリシリコン層

30・・・バリア層

31A、31B・・・TiO_x核付け層

32a・・・非晶質PZT層

10

20

30

40

50

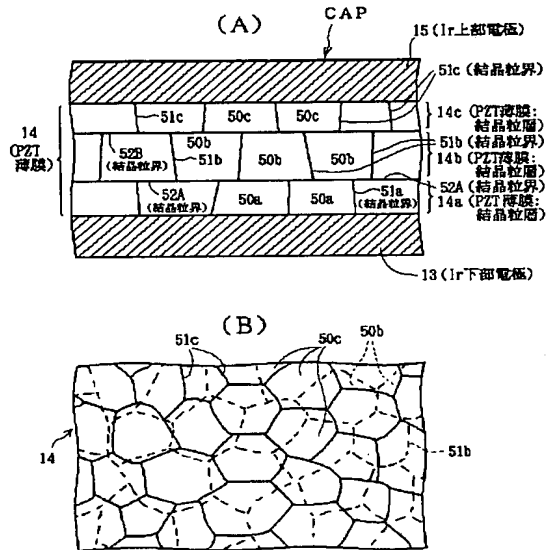
17

50a、50b、50c・・・結晶粒

51a、51b、51c、52A、52B・・・結晶粒界

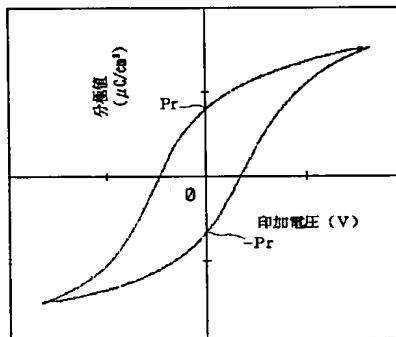
CAP・・・強誘電体キャパシタ

【図1】



本実施例によるPZT薄膜キャパシタの構造

【図4】



PZT薄膜のP-E特性

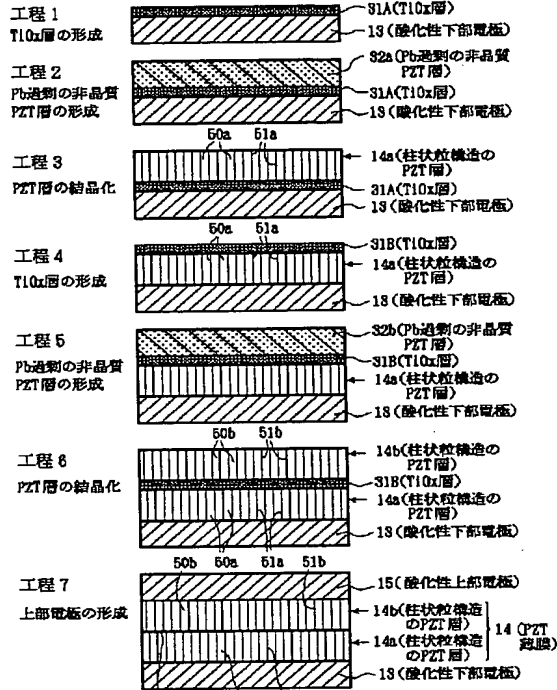
18

*TR・・・トランスファゲート

M-CEL・・・メモリセル

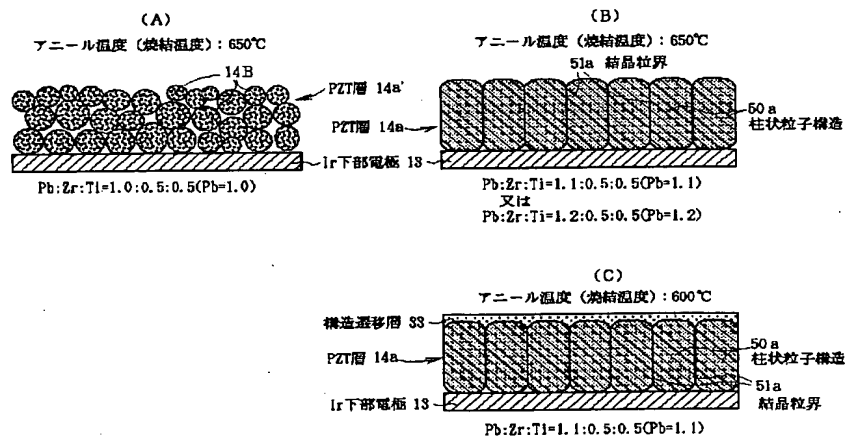
*

【図2】



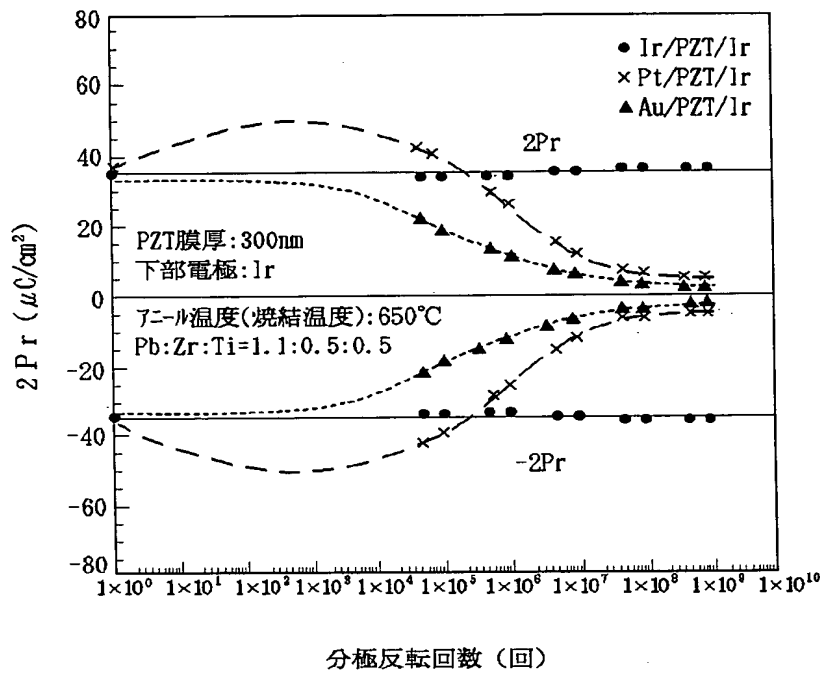
本実施例によるPZTキャパシタの形成工程

【図5】



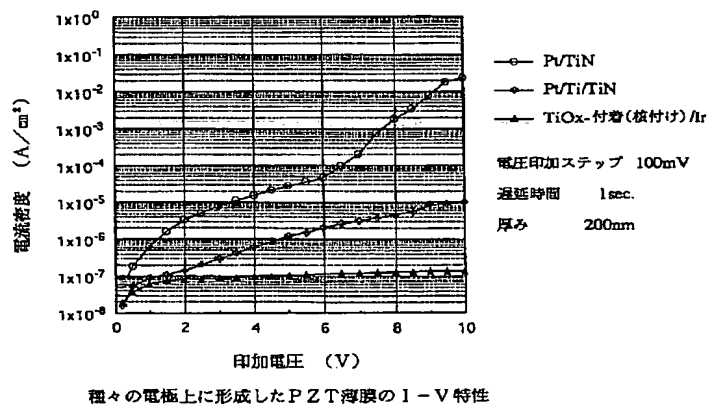
異なる条件で形成されたPZT薄膜の構造(TEM観察像のスケッチ)

【図3】

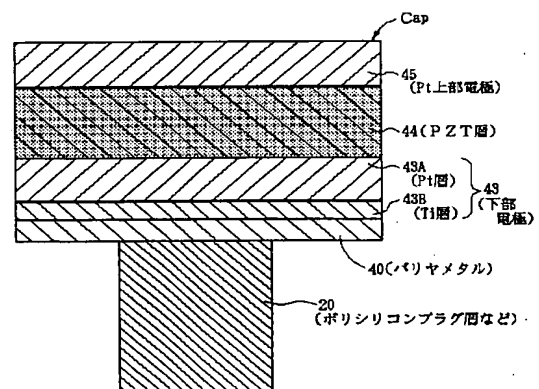


電極材質によるPZTキャパシタの残留分極密度と
分極反転回数との関係 (バイポーラパルス電圧±5V)

【図8】



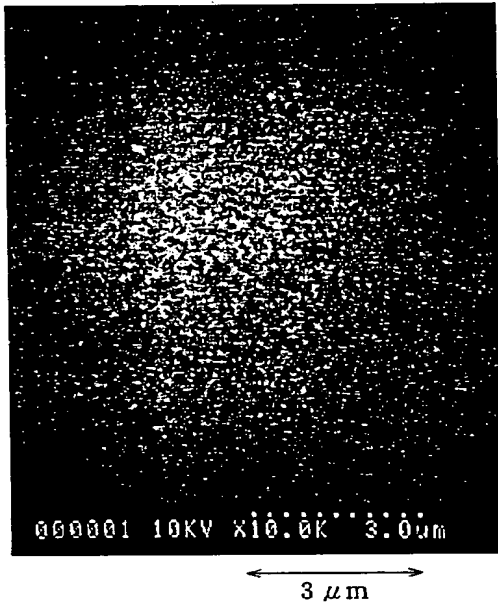
【図21】



従来のPZTキャパシタの構造

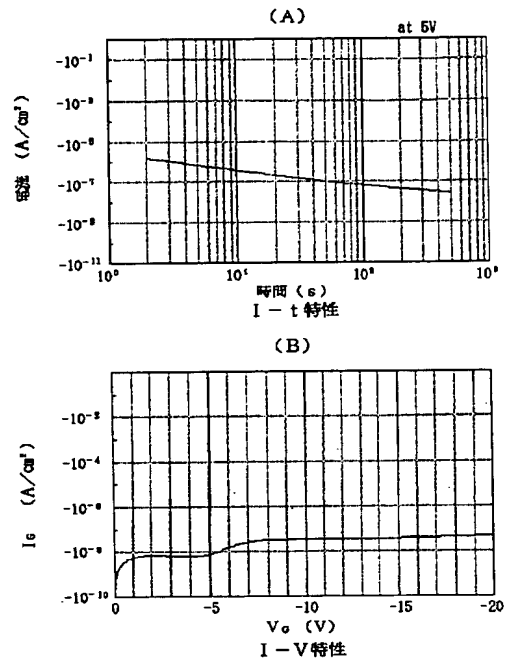
BEST AVAILABLE COPY

【図6】



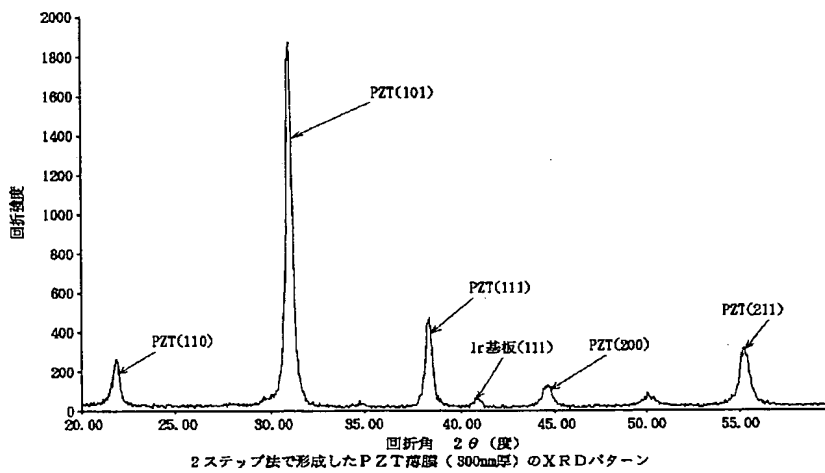
酸化チタンを核付けしたIr電極上に
形成したPZT薄膜のSEM像

【図11】



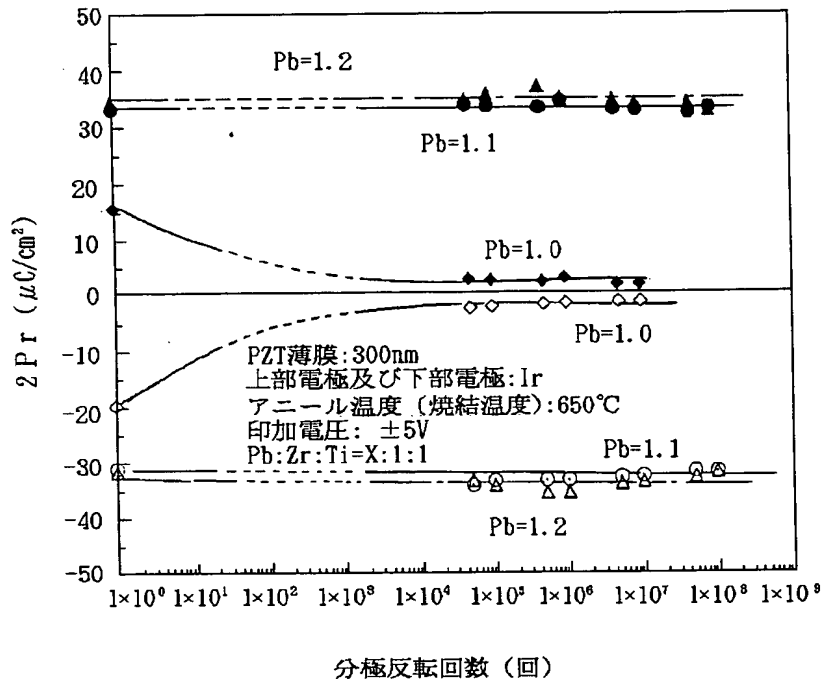
2ステップ法で形成したPZT(300nm厚)薄膜のI-t、I-V特性

【図10】



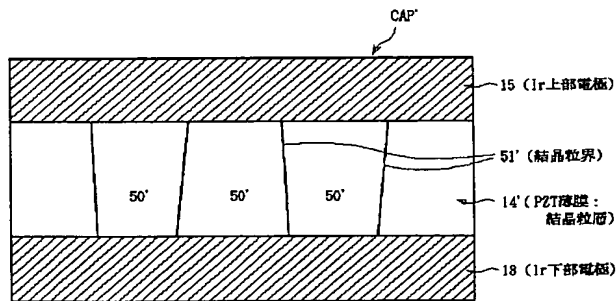
2ステップ法で形成したPZT薄膜(300nm厚)のXRDパターン

【図7】



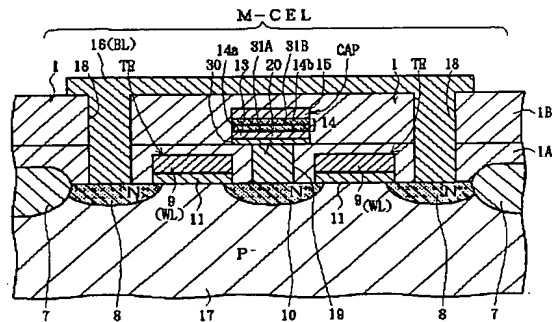
Pb濃度によるPZTキャパシタの残留分極密度と分極反転回数との関係

【図12】



比較のPZT薄膜キャパシタの構造

【図14】



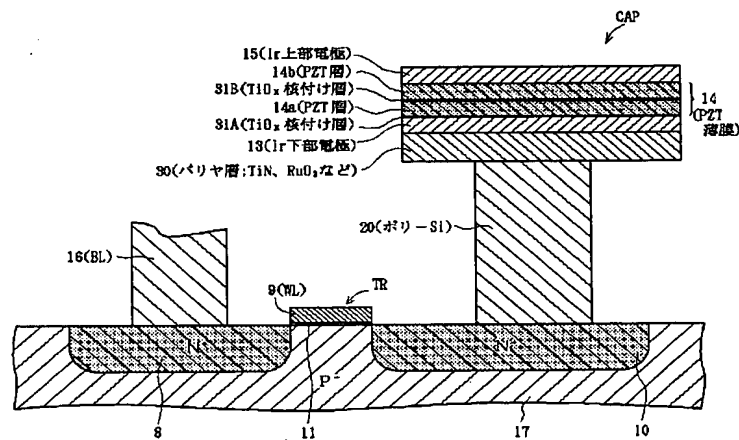
本実施例のデバイス断面構造

Figure 1 is a graph showing the change in piezoelectric coefficient $2Pr$ ($\mu\text{C}/\text{cm}^2$) versus the number of half-wave cycles (分極反転回数) for a PZT thin film (300nm) with Ir electrodes. The graph is divided into two sections.

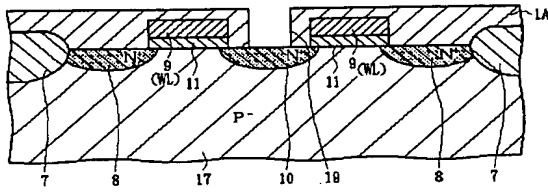
The top section shows data for a PZT thin film (300nm) with Ir electrodes. The y-axis ranges from -50 to 50 $\mu\text{C}/\text{cm}^2$. The x-axis is logarithmic, ranging from 1×10^0 to 1×10^9 . The data points are categorized by temperature: 625°C (triangles), 625~700°C (circles), and 600°C (circles). The 600°C data shows a significant decrease in $2Pr$ as the number of cycles increases, while the 625°C and 625~700°C data points remain relatively constant.

The bottom section shows data for a Pb:Zr:Ti=1.1:0.5:0.5 thin film. The y-axis ranges from -50 to 0 $\mu\text{C}/\text{cm}^2$. The x-axis is logarithmic, ranging from 1×10^0 to 1×10^9 . The data points are categorized by temperature: 600°C (circles) and 625~700°C (circles). The 600°C data shows a significant increase in $2Pr$ as the number of cycles increases, while the 625~700°C data points remain relatively constant.

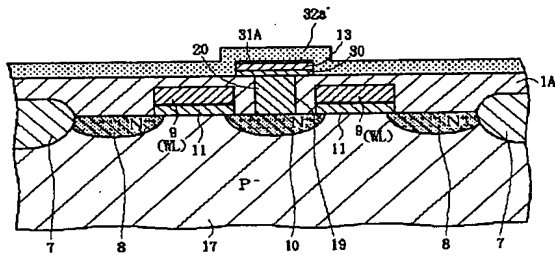
【图 13】



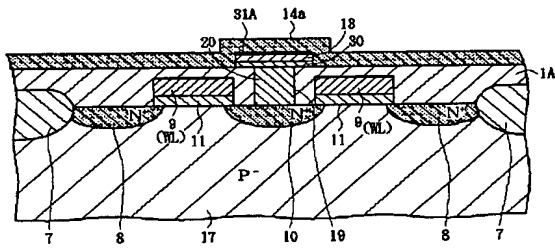
【図15】



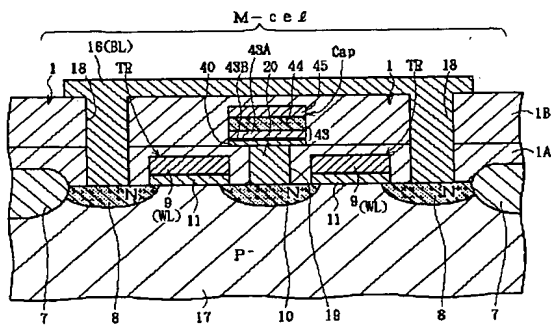
【図17】



【図19】

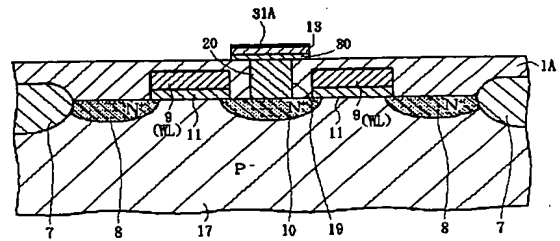


【図22】

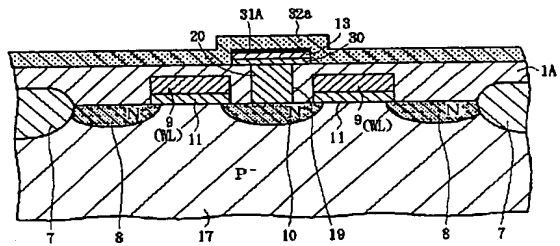


従来のデバイス断面構造

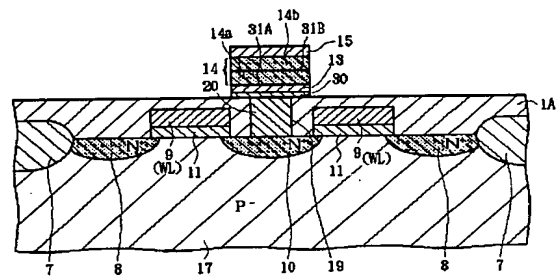
【図16】



【図18】



【図20】



BEST AVAILABLE COPY

フロントページの続き

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/822			H 0 1 L 29/78	3 7 1
27/10	4 5 1			
21/8247				
29/788				
29/792				

(72)発明者 沼田 乾
茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内

(72)発明者 西村 明俊
茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内